

INFORMATION PROCESSOR

Patent Number: JP60014339

Publication date: 1985-01-24

Inventor(s): TAMURA NOBORU

Applicant(s):: CANON KK

Requested Patent: JP60014339

Application Number: JP19830121529 19830706

Priority Number(s):

IPC Classification: G06F9/34 ; G06F9/30

EC Classification:

Equivalents:

Abstract

PURPOSE:To reduce the memory occupancy factor and to shorten the processing time for an information processor having a stack type memory control function, by using a new SST instruction.

CONSTITUTION:When an SST instruction is designated by a program counter 20 via an address bus 22 during the execution of a program, the address data A following an SST code is read out to an address counter 13. Then a main control circuit 18 reads the contents of a memory address shown by the contents A of the counter 13 to an auxiliary register 21, outputs the contents of a stack register 12 to the bus 22, outputs the contents of the register 21 to a data bus 10 and writes the write signal to a memory address shown by the contents of the register 12. Then the register 12 is counted down by one, and the data A of the counter 13 is put on the bus 22. At the same time, the contents of an accumulator 16 are put on the bus 10 through an arithmetic circuit 17. Then the contents of the accumulator 16 are written to the indicated address A of the instruction SST.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (CONT'D)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60—14339

⑬ Int. Cl.⁴
G 06 F 9/34
9/30

識別記号

府内整理番号
7361—5B
7361—5B

⑭ 公開 昭和60年(1985)1月24日

発明の数 1
審査請求 未請求

(全 6 頁)

⑮ 情報処理装置

⑯ 特 願 昭58—121529

⑰ 出 願 昭58(1983)7月6日

⑱ 発明者 田村昇

東京都大田区下丸子3丁目30番

2号キヤノン株式会社内

⑲ 出願人 キヤノン株式会社

東京都大田区下丸子3丁目30番

2号

⑳ 代理人 弁理士 大塚康徳

明細書

3. 発明の詳細な説明

技術分野

本発明は、スタック式メモリ管理機能を備えた情報処理装置に関するものである。

従来技術

従来より一般にスタック式メモリ管理機能を備えた情報処理装置はスタックレジスタあるいはスタックポインタと呼ばれる専用レジスタと、PUSH, PULLと呼ばれるスタックポインタの制御命令を備えている。

PUSH, PULL命令は、一般に次の様にその実行内容が定義されて使われている。

PUSH:スタックリジスクの内容が示すメモリアドレスへアキュムレータの内容を書き込み、その後スタックリジスクの内容を1カウントダウンする。

1. 発明の名称

情報処理装置

2. 特許請求の範囲

命令語で指定されたメモリアドレスの内容をスタックリジスタの内容で指定されるメモリアドレスに書き込んだ後、前記命令語で指定されたメモリアドレスにアキュムレータの内容を書き込み併せてスタックリジスタの内容を所定値更新する、前記命令語の実行手段を有することを特徴とする情報処理装置。

PULL : スタックレジスタの内容を 1 カウントアップして後、その内容が示すメモリアドレスの内容をアキュムレータへ読み出す。

この様な情報処理装置で実際にして上述命令を使用した従来のプログラム例をあげると第 1 図のようになる。このプログラムはメモリの A 番地の内容を一時メモリの別の番地に退避させ、次にメモリの A 番地を他の目的に従つて使用し、後に必要になつた時に A 番地にもとの内容を復帰させる処理手順を示す。

ここで LD および ST 命令の実行内容は次の様に定義されている。

LD A : A で指定したメモリアドレスの内容をアキュムレータに読み出す。

ST A : アキュムレータの内容を A で指定し

3

内容を再びメモリ A 番地に戻す。この状態でスタックレジスタの内容は B に戻り、メモリ A 番地の内容は前記 1 のプログラムを実行したときの状態に復帰している。

第 2 図には従来のもう一つのプログラム例のフローチャートを示す。ここにある連続番地のメモリ内容を別の連続した番地に転送するための一連の処理手順が示されている。第 2 図の命令のステップを追つての詳細な説明は第 1 図で説明した内容から容易に理解できるので省略するが、ここで I はインデックスレジスタ、「I = 0」はインデックスレジスタに 0 をセットすること、「A + I」はメモリアドレス A にインデックスレジスタ I の内容を加えたものを実際のメモリアドレスとして使用すること、「I = n?」はインデックスレジスタ I の内容が n か否かの判別を行うことを

たメモリアドレスへ書き込む。

また、スタックレジスタには B (メモリアドレス) が格納されているものとする。

まず第 1 図の 1 で示されるプログラムを実行すると、命令「LD A」の実行でメモリ A 番地の内容がアキュムレータに読み出され、次に命令「PUSH」の実行でアキュムレータの内容がメモリの B 番地に記憶され、かつスタックレジスタの内容が B - 1 になる。次に 2 で示されるプログラム中には命令「ST A」の実行が含まれており、ここで A 番地の内容が以前のものから変化することになる。次に 3 で示すプログラムを実行すると、命令「PULL」の実行でスタックレジスタの内容が 1 カウントアップされメモリ B 番地に格納されている内容をアキュムレータに読み出し次に命令「ST A」の実行でアキュムレータの

4

夫々示す。従つて 4 で示されるプログラムの実行により、メモリの A 番地から始まつて A + n - 1 番地までのメモリ内容を B 番地から B + n - 1 番地に転送している。次に 5 で示されるプログラムの実行により、メモリの A 番地から A + n - 1 番地までの内容をアキュムレータの内容で書き換えている。このように第 1 図および第 2 図のプログラム例は処理の中間データの一時退避、あるいはファイルデータの転送等、実際によく使用される一連の処理を従来の装置が LD, ST, PULL, PUSH の命令の組合せで実行する処理手順を示したものである。従つてプログラムのステップ数をこれ以上短縮して処理速度をあげたり、処理手順を簡略化してプログラムの複雑さを回避するためには大きな障害となつていた。

目的

5

6

本発明は上述した従来技術の欠点を除去できる
スタック式メモリ管理機能をもつた情報処理装置
を提供することを目的とする。

実施例

以下図面に従つて本発明の一実施例を詳細に説明する。

第3図は本発明に係る一実施例のマイクロコンピュータのプロセッサ部構成を示すブロック図である。図において、10は内部のデータバス、斜線の22はアドレスバスである。11はメモリでアドレスバス22を介して与えられるアドレスにデータバス10を介してデータを読み書き可能に構成されている。なおメモリ11に格納されている情報はプログラムコードと各種データである。16はアキュムレータ、17は算術論理演算回路、14は命令レジスタ、15は命令レジスタの

コードをデコードする命令デコーダ、19はデコードされた出力に従つて各種制御の信号の組を伝達する制御バス、18は命令実行の主制御を掌る主制御回路、23は主制御回路から出力される制御タイミング信号、ゲート信号等を伝達する制御線、20はプログラムの進行を掌るプログラムカウンタ、13は命令語のアドレス情報を格納するアドレスカウンタ、12はスタックリージスタ、21は読み出しデータを一時的に格納する補助レジスタである。尚、これ以外の構成については汎用プロセッサの有するものと同等であり、説明の簡略化のために省略しない。

以上のように構成されたプロセッサ部の動作を以下に説明する。

ここで本発明により設けられた新しい命令「SST A」の実行内容を次の様に定義する。

7

SST A : Aで指定したメモリアドレスの内容を読み出し、その内容をスタックリージスタの内容が示すメモリアドレスへ書きこんだ後、アキュムレータの内容を前記Aで指定したメモリアドレスへ書き込み、併せてスタックリージスタの内容を1カウントダウンする。

プログラムの実行が進行してこの命令がプログラムカウンタ20により、アドレスバス22を介して指定され、データバス10を介して次に実行すべき命令として命令レジスタ14に読み出されると、命令デコーダ15がその内容を解釈すると、命令デコーダ15がSSTのコードをデコードすると、その旨を示す信号の組が制御バス19を介して主制御回路18に送られる。その結果主制御回路18から一連の制御タイミング信号、ゲート信号が制御線23に出力される。以下の動

8

作を第6図のフローチャートを参照して具体的に説明すると、データバス10を介してSSTコードに付随するアドレスデータAがアドレスカウンタ13に読み出される(ステップ1)。次に主制御回路18はそのアドレスカウンタ13の内容Aによつて示されるメモリ番地の内容を補助レジスタ21へ読み出す(ステップ2)。次に主制御回路18はスタックリージスタ12の内容をアドレスバス22に出力し、同時に補助レジスタ21の内容をデータバス10に出力してメモリ書き込信号を送り補助レジスタ21の内容をスタックリージスタ12の内容で示すメモリアドレスへ書き込む(ステップ3)。

次に主制御回路18はスタックリージスタ12の内容を1カウントダウンする(ステップ4)。更に主制御回路18はアドレスカウンタ13にその

9

ままのこつているアドレスデータAをアドレスバス22に乗せ、同時にアキュムレータ16の内容を算術論理演算回路17を通してそのままデータバス10に乗せることにより、命令「SST」の指示アドレスAにアキュムレータ16の内容を書き込む（ステップ5）。以上で命令「SST A」の一連の動作は全て完了したので、主制御回路18は次の命令を命令レジスタ14に読み出すような動作に移行する。

実施例の如き新しい命令「SST」を使用することにより既に第1図、第2図で説明したプログラムの処理手順が非常に簡潔なものになる。第4図は本発明に係る情報処理装置で実行するプログラムの一例であり、第1図で示したプログラムと同じ目的を達成する場合の処理手順を示している。また第5図は本発明に係る情報処理装置で実

行するプログラムのもう1つの例で、第2図で示したプログラムと同じ目的を達成する場合の処理手順を示している。第4図の6で示されるプログラムステップの実行により、A番地のメモリ内容がスタックレジスタの内容で示される番地（この場合B番地とする）に格納され、その後アキュムレータの内容がA番地に書き込まれ、かつスタックレジスタの内容が1カウントダウンされる。また、第5図の7、8で示されるプログラムの実行により、第2図の4、5で示された処理と同じ動作が可能になる事は容易に理解できるであろう。

ここではスタックレジスタの内容が自動的に1カウントダウンされることに従い、ファイルデータの転送を第2図のものとは逆にメモリの高い番地から低い番地にむけて行うようにした。この方

11

法に従つて実行された結果は第2図のものと同一であるがプログラムのステップ数が格段に減少し、かつ処理手順が簡略されていることが解る。

尚、SST命令の使用される処理は第4図や第5図で示した例に限られるものでない事は明らかである。

効果

以上説明した様に本発明によれば、従来複雑なプログラム構成を必要としたスタック命令を用いての処理において、全く新しい命令であるSST命令の処理の概念を導入し、これを達成するためのハードウェアの一部の追加、変更により、非常に簡潔なプログラムの処理手順で従来と同一の処理結果が得られ、プログラムのためのメモリ占有率が軽減でき、処理時間も短縮できるなど、様々な効果が得られる情報処理装置の提供が可能にな

12

る。

4. 図面の簡単な説明

第1図は従来のプログラムの一例を示す説明図。

第2図は従来のプログラムの他の例を示すフローチャート。

第3図は本発明に係る一実施例のマイクロコンピュータのプロセッサ部構成を示すブロック図。

第4図は本発明によるプログラムの一例を示す説明図。

第5図は本発明によるプログラムの他の例を示すフローチャート。

第6図は本発明に係る命令を実行する手順を示すフローチャートである。

ここで、10…データバス、11…メモリ、12…スタックレジスタ、13…アドレスカウン

タ、14…命令レジスタ、15…命令デコーダ、
16…アキュムレータ、17…算術論理演算回路、
18…主制御回路、19…制御バス、20…
プログラムカウンタ、21…補助レジスタ、
22…アドレスバス、23…制御線である。

特許出願人 キヤノン株式会社

代理人弁理士 大塚康

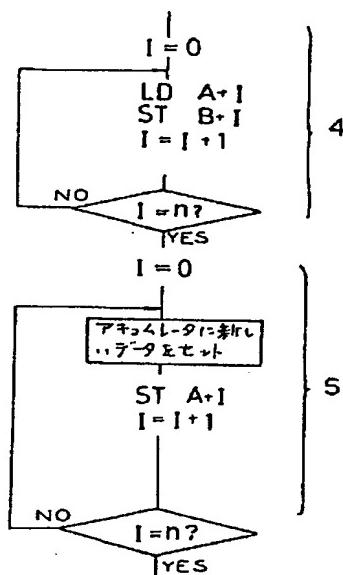


15

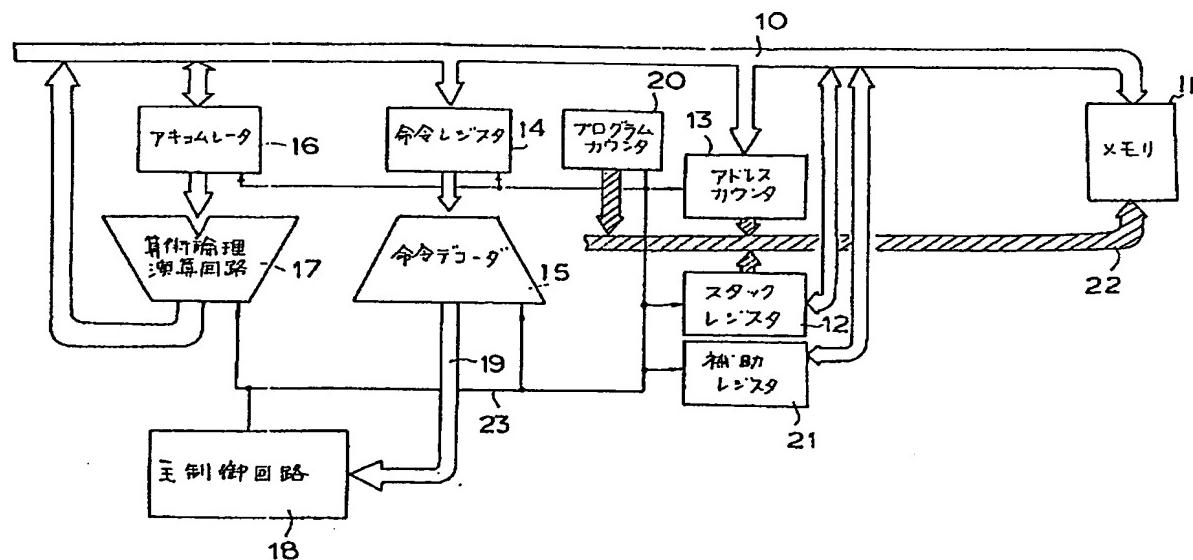
第1図

LD A	}-1
PUSH	
ST A	}-2
PULL	
ST A	}-3

第2図



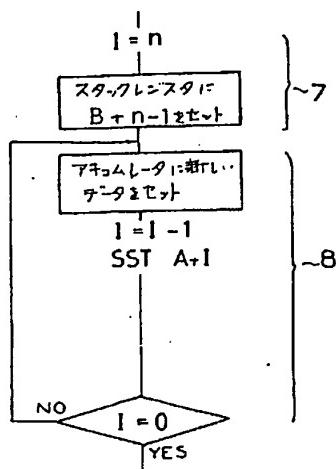
第3図



第 4 圖

SST A }~6
;
PULL
ST A

第 5 圖



第 6 圖

